

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-214250

(43)Date of publication of application : 19.09.1991

(51)Int.Cl.

G06F 13/16

(21)Application number : 02-009656

(71)Applicant : NEC CORP

(22)Date of filing : 19.01.1990

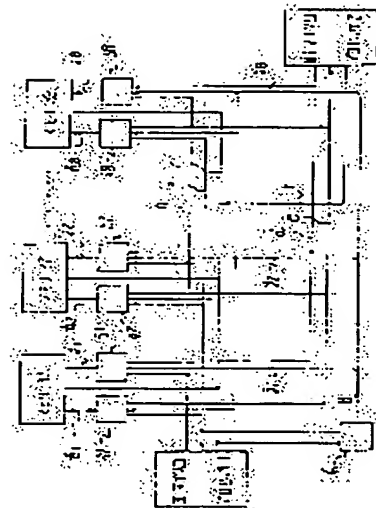
(72)Inventor : YANAGIDA HIROMI

## (54) MEMORY CONTROL CIRCUIT

## (57)Abstract:

PURPOSE: To set an optimum division rate based on a control program by dividing a memory into smaller blocks when the same memory are divided and used by plural microprocessors.

CONSTITUTION: In regard of the memory data switch circuits 41, 42...4n, a data bus (b) of a main microprocessor 1 is connected to the memory data hi ( $i=1\sim n$ ) as long as the memory switch signals  $g_i$  ( $i=1\sim n$ ) are turned on. Meanwhile a data bus (e) of a secondary microprocessor 2 is connected to the data hi when the signals  $g_i$  are turned off. In regard of the address switch circuits 51, 52...5n, the address state of the microprocessor 1 is transmitted as the memory addresses hi when the signals  $g_i$  are turned on. Meanwhile the address state of the microprocessor 2 is transmitted as the addresses hi when the signals  $g_i$  are turned off respectively. In such a constitution, an optimum division rate is set.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-214250

⑮ Int. Cl.<sup>3</sup>  
G 06 F 13/16

識別記号  
5 1 0

庁内整理番号  
8841-5B

⑬ 公開 平成3年(1991)9月19日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 メモリ制御回路

⑯ 特 願 平2-9656

⑰ 出 願 平2(1990)1月19日

⑱ 発 明 者 柳 田 浩 美 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

メモリ制御回路

2. 特許請求の範囲

一般にアドレスバスとデータバスとコントロール信号とを有する主マイクロプロセッサおよび1個以上の副マイクロプロセッサと、該コントロール信号と、メモリアドレスバスとを入力とし、メモリデータバスを入出力とするメモリを含むマイクロプロセッサシステムにおいて、該複数のマイクロプロセッサのそれぞれの該データバスと該メモリデータバスとを入出力とし、入力であるメモリ切りかえ信号によって該メモリがどの該マイクロプロセッサに属するかを決定し、該メモリデータバスを該メモリの属するところの該マイクロプロセッサに対してのみ開くことを可能にするメモリデータ切りかえ回路と、該メモリデータ切りかえ回路の入力である該メモリ切りかえ信号を出力

とし、該主マイクロプロセッサのデータバスを入力とするメモリ切りかえ信号設定レジスタと、それぞれのマイクロプロセッサの該アドレスバスと、該メモリ切りかえ信号とを入力とし該メモリが所属するところのマイクロプロセッサのアドレスバスを該メモリに対して該メモリアドレスとして送出するメモリアドレス切りかえ回路とを備えることを特徴とするメモリ制御回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はメモリ制御回路に関し、特に、複数のマイクロプロセッサによって制御を行うメモリ制御回路に関する。

〔従来の技術〕

従来この種のメモリ制御回路は、複数のマイクロプロセッサによって同一アドレス空間に定義されているメモリを分割して使用する場合、ハードウェア設計時に分割領域が決定され、それぞれのプロセッサが使用するメモリの定義領域や最大容

量は不可変であった。

〔発明が解決しようとする課題〕

上述した従来の複数マイクロプロセッサを有するメモリ制御回路は、それぞれのプロセッサが使用するメモリの最大容量が不可変であったので、メモリ制御方式の異なる複数のプログラムに関して、それぞれのプロセッサの使用するメモリの最小容量を確保しなければならず、不経済であるという欠点がある。

〔課題を解決するための手段〕

本発明のメモリ制御回路は、アドレスバスとコントロール信号と、データバスとを有する主マイクロプロセッサおよび1個以上の副マイクロプロセッサと、コントロール信号とメモリアドレスバスとを入力とし、メモリデータバスを入出力とするメモリを含むマイクロプロセッサシステムにおいて、複数のマイクロプロセッサのそれぞれのデータバスとメモリデータバスとを入出力とし、入力であるメモリ切りかえ信号によってメモリがどのマイクロプロセッサに属するかを決定し、メモ

リデータバスをメモリの属するところのプロセッサに対してのみ開くことを可能にするメモリデータ切りかえ回路と、メモリデータ切りかえ回路の入力であるメモリ切りかえ信号を出力とし、主マイクロプロセッサのデータバスを入力とするメモリ切りかえ信号設定レジスタと、それぞれのマイクロプロセッサのアドレスバスと、メモリ切りかえ信号とを入力として、そのメモリが属するところのプロセッサのアドレスバスの内容をメモリに対してメモリアドレスとして送出するメモリアドレス切りかえ回路とを有している。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図は本発明の一実施例の回路である。第1図において、主マイクロプロセッサ1はアドレスバスaとコントロール信号cとを出力信号として持ち、データバスbを入出力信号として持つ。副マイクロプロセッサ2もマイクロプロセッサ1と同様にアドレスバスdとコントロール信号fとを出力信号として持ち、データバスeを入出力信号

として持っている。

第1図ではメモリをn分割して使用する例を示しており、それぞれメモリ31、メモリ32、---、メモリ3nである。

メモリデータ切りかえ回路41、42、---、4nは主マイクロプロセッサ1のデータバスbと副マイクロプロセッサ2のデータバスeと、メモリデータh1、h2、---、hnとを入出力とし、メモリ切りかえ信号設定レジスタ6の出力であるメモリ31、32、---、3nのそれぞれに対応するメモリ切りかえ信号g1、g2、---、gnを入力として、メモリ切りかえ信号gi (i=1~n) がON状態であれば主マイクロプロセッサ1のデータバスbがメモリデータhi (i=1~n) と接続され、OFF状態であれば、副マイクロプロセッサ2のデータバスeとメモリデータhi (i=1~n) とが接続される回路である。

アドレス切りかえ回路51、52、---、5nは、主マイクロプロセッサ1のアドレスバスaと副マイクロプロセッサ2のアドレスバスdと、メ

モリ切りかえ信号gi (i=1~n) とを入力として、メモリ切りかえ信号gi (i=1~n) がON状態であれば主マイクロプロセッサ1のアドレス状態をメモリアドレスhi (i=1~n) として送出し、メモリ切りかえ信号gi (i=1~n) がOFF状態であれば、副マイクロプロセッサ2のアドレス状態をメモリアドレスhi (i=1~n) として送出する。

次に第2図は本実施例の具体例として主、副マイクロプロセッサ1ケずつと4Mバイトを8分割した0.5Mバイトのメモリが8ケのシステムのメモリ制御をする場合を示し、第3図はメモリデータ切りかえ回路を示す。

第2図および第3図において、データバッファ71、72は双方向にデータ入出のできるバッファであり、データバッファ71の主マイクロプロセッサ1のデータバスbと、メモリデータhi (i=1~8) を入出力とし、メモリ切りかえ信号gi (i=1~8) が“1”のときに開く。データバッファ72は副マイクロプロセッサ2のデー

タバス $e$ とメモリデータ $h_i$  ( $i=1\sim 8$ )を入力とし、メモリ切りかえ信号 $g_i$  ( $i=1\sim 8$ )が“0”の時に開く。したがって、メモリデータ $h_i$ はメモリ切りかえ信号 $g_i$ が“1”の時は主マイクロプロセッサ1のデータバス $b$ と、メモリ切りかえ信号 $g_i$ が“0”の時は副マイクロプロセッサ2のデータバス $e$ と接続することになる。

同様に第4図においてアドレスバッファ81, 82もメモリ切りかえ信号 $g_i$ が“1”の時には主マイクロプロセッサ1のアドレスバス $a$ が、メモリ切りかえ信号 $g_i$ が“0”の時には副マイクロプロセッサ2のアドレスバス $d$ がメモリアドレス $j_i$ と接続する。

上記システムにおいて、メモリ切りかえ信号 $g_i$  ( $i=1\sim 8$ )を $i=1$ から順に“11100000”と設定すると、メモリ31, 32, 33は主マイクロプロセッサのメモリとして、メモリ34からメモリ38までは副マイクロプロセッサのメモリとして使用され、主マイクロプロセッサが1.5 Mバイト、副マイクロプロセッサが2.5 Mバイトの

メモリ容量を持つことになる。更に、メモリ切りかえ信号 $g_i$  ( $i=1\sim 8$ )を $i=1$ から順に“11111110”と設定すると、4 Mバイト中メモリ38の0.5 Mバイトのみ副マイクロプロセッサが使用し、残りの3.5 Mバイトは主マイクロプロセッサの領域となる。

〔発明の効果〕

以上説明したように本発明は同一メモリを複数のマイクロプロセッサによって分割使用する場合更に小さなブロックに分けておくことによって分割率をソフトウェアで変更することができ、制御プログラムによって最適な分割率を設定することができるという効果がある。

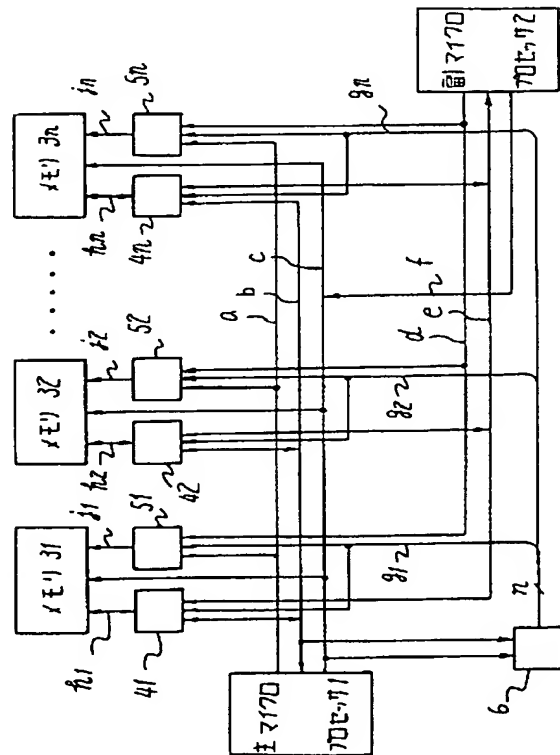
#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図、第2図は本実施例においてメモリを8分割した場合を示すブロック図、第3図は本実施例におけるメモリデータ切りかえ回路を示す図、第4図は本実施例におけるメモリアドレス切りかえ回路を示す図である。

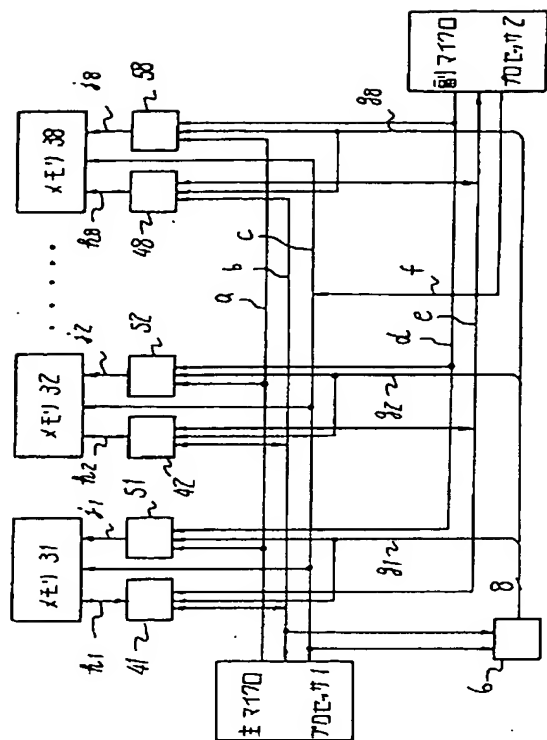
す図である。

1……主マイクロプロセッサ、2……副マイクロプロセッサ、31～3n……メモリ、41～4n……メモリデータ切りかえ回路、51～5n……メモリアドレス切りかえ回路、6……メモリ切りかえ信号設定レジスタ、71, 72……データバッファ、81, 82……アドレスバッファ、a……主マイクロプロセッサのアドレスバス、b……主マイクロプロセッサのデータバス、c……主マイクロプロセッサのコントロール信号、d……副マイクロプロセッサのアドレスバス、e……副マイクロプロセッサのデータバス、f……副マイクロプロセッサのコントロール信号、 $g_1\sim g_n$ ……メモリ切りかえ信号、 $h_1\sim h_n$ ……メモリデータ、 $j_1\sim j_n$ ……メモリアドレス。

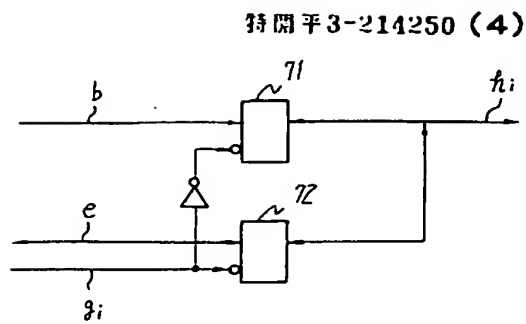
代理人 弁理士 内 原 晋



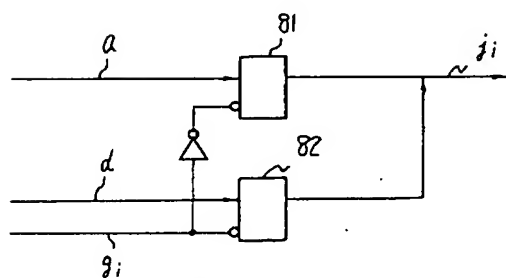
第 1 図



第 2 図



第 3 図



第 4 図